
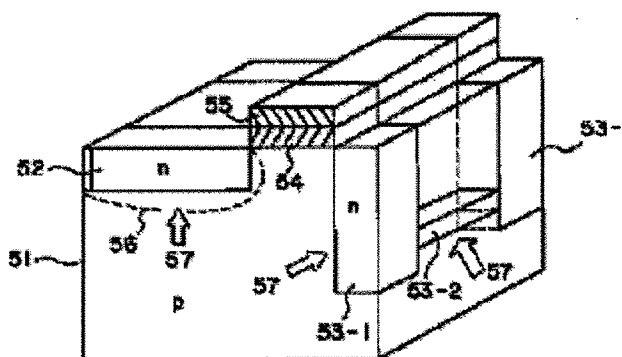


SOLID-STATE IMAGING DEVICE**Publication number:** JP11284168**Publication date:** 1999-10-15**Inventor:** INOUE IKUKO; YAMASHITA HIROSHI; YAMAGUCHI TETSUYA; IHARA HISANORI; NAKAMURA NOBUO; NOZAKI HIDETOSHI**Applicant:** TOKYO SHIBAURA ELECTRIC CO**Classification:****- international:** *H04N5/335; H01L27/146; H01L31/0232; H04N5/335; H01L27/146; H01L31/0232; (IPC1-7): H01L27/146; H04N5/335***- European:** H01L31/0232**Application number:** JP19980087385 19980331**Priority number(s):** JP19980087385 19980331**Also published as:** US6211509 (B1)[Report a data error here](#)**Abstract of JP11284168**

PROBLEM TO BE SOLVED: To provide a solid-state imaging device wherein a leakage current of a photo-diode at dark is less, dynamic range is large, and blooming and color mixture are suppressed. **SOLUTION:** A p-type semiconductor layer 51 formed on a semiconductor substrate, n-type semiconductor layers 52 and 53 (53-1, 53-2) formed on the surface of the p-type semiconductor layer, and a gate electrode 55 deposited on the surface of the p-type semiconductor layer 51 with an oxide film 54 in between are provided. The p-type semiconductor layer 51 and the n-type semiconductor layer 52 form a diode, the semiconductor layers 51-53 form a transistor while the n-type semiconductor layer 53 corresponding to the drain of the transistor formed deeply, and the n-type semiconductor layer 53 is electrically connected, in the substrate, to the n-type semiconductor layer corresponding to the drain of an adjoining transistor, with a diffusion current collected in the drain.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284168

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

E

U

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21) 出願番号 特願平10-87385

(22) 出願日 平成10年(1998) 3 月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 井上 郁子

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 山下 浩史

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 山口 鉄也

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

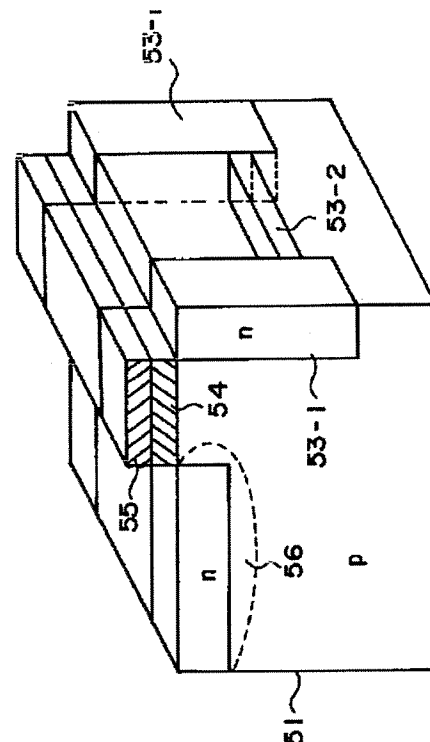
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】 (修正有)

【課題】 フォトダイオードの暗時のリーク電流が小さく、ダイナミックレンジの大きく、ブルーミング、混色を抑制した固体撮像装置を提供する。

【解決手段】 半導体基板上に形成されたp型半導体層51と、このp型半導体層の表面に形成されたn型半導体層52、n型半導体層53と、p型半導体層51の表面に酸化膜54を挟んで堆積されたゲート電極55とを有し、p型半導体層51とn型半導体層52によりダイオードを生成し、半導体層51～53によりトランジスタを形成し、当該トランジスタのドレインに相当するn型半導体層53を深く形成し、かつ、当該n型半導体層53が隣接トランジスタのドレインに相当するn型半導体層と基板中で電気的に接続され、当該ドレインに拡散電流を集める構成とする。



【特許請求の範囲】

【請求項1】光電変換部と信号走査回路を含む単位セル複数を行列二次元状に配置してなる撮像領域と、この撮像領域の各セルからの信号を読み出す信号線とを半導体基板上に形成した固体撮像装置において、

前記光電変換部を分離する素子分離領域に、基板あるいはウェルと同一導電型の不純物層を基板表面の浅い領域に形成すると共に、前記基板表面の浅い領域に形成された不純物層の下に深い領域に第2の不純物分離層を形成したことを特徴とする固体撮像装置。

【請求項2】光電変換部と信号走査回路を含む単位セル複数を行列二次元状に配置してなる撮像領域と、この撮像領域の各セルからの信号を読み出す信号線とを半導体基板上に形成してなる前記固体撮像装置において、半導体基板上に形成される前記信号走査回路下に素子分離不純物層を形成し、この素子分離不純物層下に光電変換部と同一の不純物層による第2の光電変換層を形成することを特徴とする固体撮像装置。

【請求項3】光を電荷に変換する光電変換素子と、この光電変換素子から信号を取り出すためのトランジスタとを有する固体撮像装置において、

半導体基板の上に形成された第1の半導体層と、上記第1の半導体層の表面に形成された第2、第3の半導体層と、上記第1の半導体層の表面に酸化膜を挟んで堆積された転送電極層とを有し、上記第1及び第2の半導体層により上記光電変換素子が形成され、

上記第1乃至第3半導体及び上記転送電極層により上記トランジスタが形成されると共に、当該トランジスタのドレインに相当する第3の半導体層を、上記光電変換素子の空乏層領域の深さより深く半導体基板中に埋め込み形成し、また、当該ドレインと隣接トランジスタのドレインとの間を電氣的に接続する前記第3の半導体層と同一導電性の補助導電層を、前記空乏層領域の深さより深い位置に形成したことを特徴とする増幅型個体撮像素子。

【請求項4】光電変換部と信号走査回路部を含む単位セル複数を行列二次元状に配置してなる撮像領域と、撮像領域の信号走査回路を駆動するための素子駆動回路を配置してなる駆動回路領域と、撮像領域の各セルからの信号を読み出す信号線とを半導体基板上に形成した固体撮像装置において、

前記光電変換部は、信号電荷と同一導電型の第1の導電型領域および当該第1の導電型とは逆導電型のウェル領域とから構成されると共に、前記信号走査回路は少なくとも一つのトランジスタからなり、且つ、該トランジスタはトランジスタの導電型とは逆導電型のウェル内に形成されてなり、前記光電変換部のウェルの不純物濃度と前記信号走査回路のウェルの不純物濃度とが異なる構成としたことを特徴とする固体撮像装置。

【請求項5】前記光電変換部のウェル濃度は、前記信号

走査回路のウェル濃度より低くしたことを特徴とする請求項4記載の固体撮像装置。

【請求項6】前記光電変換部のウェルの接合深さは、前記信号走査回路のウェル濃度より小さいものであることを特徴とする請求項2記載の固体撮像装置。

【請求項7】光電変換部と信号走査回路部を含む単位セル複数を行列二次元状に配置してなる撮像領域と、撮像領域の信号走査回路を駆動するための素子駆動回路を配置してなる駆動回路領域と、撮像領域の各セルからの信号を読み出す信号線とを半導体基板上に形成した固体撮像装置において、

前記撮像領域のうち少なくとも光電変換部には第一のウェルが形成され、信号走査回路部には第二のウェルが形成され、前記素子駆動回路部には第三のウェルが形成されると共に、それぞれのウェルの濃度を異ならせたことを特徴とする固体撮像装置。

【請求項8】ウェルの不純物濃度は、第一のウェル<第二のウェル<第三のウェルの関係にあることを特徴とする請求項7記載の固体撮像装置。

【請求項9】光電変換部と信号走査回路部を含む単位セル複数を二次元状に配置してなる撮像領域と、撮像領域の信号走査回路を駆動するための素子駆動回路を配置してなる駆動回路領域と、各単位セルからの信号を読み出す信号線とを半導体基板上に形成した固体撮像装置において、

半導体素子を構成するウェルは第一から第四までの四つの領域に分けてあり、第一のウェルは少なくとも前記光電変換部と前記信号走査回路部に共通に設けられ、第二のウェルは前記光電変換部に設けられ、第三のウェルは前記信号走査部に設けられ、第四のウェルは前記素子駆動回路部に設けられていることを特徴とする固体撮像装置。

【請求項10】前記第一のウェル、第二のウェル、第三のウェル、及び第四のウェルの不純物濃度がそれぞれ異なり、濃度の薄い方から順に、第二のウェル、第三のウェル、第四のウェル、第一のウェル、になっていることを特徴とする請求項9記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に係わり、特に増幅機能を有するMOS型の固体撮像装置に関する。

【0002】

【従来の技術】MOS型個体撮像素子は、微細化が可能であり、また、単一電源で駆動できる、撮像部や周辺回路を含め、全てをMOSプロセスで作製できて、1つの集積回路としてチップを構成できるなどの利点から、近年、注目を集めている。

【0003】MOS型個体撮像素子の従来技術について、図面を参照して説明する。図3は増幅型MOSセン

サと呼ばれる固体撮像装置の回路図の一例である。図3に示すように、この撮像素子は、単位画素を構成すると共に光電変換を行うフォトダイオード 1_{11} 、 1_{12} 、 1_{13} 、…、 1_{33} 、…と、該フォトダイオード 1_{11} 、 1_{12} 、 1_{13} 、…、 1_{33} 、…の信号を増幅する増幅トランジスタ 2_{11} 、 2_{12} 、 2_{13} 、…、 2_{33} 、…と、信号を読み出すラインを選択する垂直選択トランジスタ 3_{11} 、 3_{12} 、 3_{13} 、…、 3_{33} 、…と、信号電荷をリセットするリセットトランジスタ 4_{11} 、 4_{12} 、 4_{13} 、…、 4_{33} 、…とにより構成される単位セルが、行列2次元状に整然と配列されている。図3には、単位セルが 3×3 個配列された例が示されているが、実際にはこれより多くの単位セルが配列される。

【0004】垂直シフトレジスタ5からは、水平方向に水平アドレス線 6_1 、 6_2 、 6_3 、…と、リセット線 7_1 、 7_2 、 7_3 、…が配線されており、それぞれ上述した各单位セルに接続されている。すなわち、水平アドレス線 6_1 、 6_2 、 6_3 …は垂直選択トランジスタ 3_{11} 、 3_{12} 、 3_{13} 、…、 3_{33} 、…のゲートに結線され、信号を読み出すラインが決定される。また、リセット線 7_1 、 7_2 、 7_3 …は、リセットトランジスタ 4_{11} 、 4_{12} 、 4_{13} 、…、 4_{33} 、…のゲートに結線されている。

【0005】上記増幅トランジスタ 2_{11} 、 2_{12} 、 2_{13} 、…、 2_{33} 、…のソースは垂直信号線 8_1 、 8_2 、 8_3 、…に結線されている。これら垂直信号線 8_1 、 8_2 、 8_3 、…の一端には、共通ゲート配線9及び共通ソース配線10に接続された負荷トランジスタ 11_1 、 11_2 、 11_3 、…が設けられている。そして、上記垂直信号線 8_1 、 8_2 、 8_3 、…の他端には、水平選択トランジスタ 12_1 、 12_2 、 12_3 、…が結線されている。上記水平選択トランジスタ 12_1 、 12_2 、 12_3 、…は、水平シフトレジスタ13から供給される選択パルスにより選択されるもので、水平信号線14に結線されている。

【0006】そして、各单位画素に入射された光は、光電変換部を構成する各フォトダイオード 1_{11} 、 1_{12} 、 1_{13} 、…、 1_{33} 、…で電気信号に変換され、垂直選択トランジスタ 3_{11} 、 3_{12} 、 3_{13} 、…、 3_{33} 、…、水平選択トランジスタ 12_1 、 12_2 、 12_3 、…で構成される信号走査回路で順次読出される。

【0007】尚、信号走査回路を駆動制御するのが、素子駆動回路であり、この素子駆動回路を構成するのが垂直シフトレジスタ5、水平シフトレジスタ13である。

〔従来技術A〕

<長波長光入射に伴う隣接画素への電子リーク>図4は、従来のMOS型固体撮像素子における単位画素のうちのフォトダイオード部分およびその近傍の構造を示す素子断面図である。図4では図3の光電変換部であるフォトダイオード 1_{11} 、 1_{12} 、 1_{13} 、…、 1_{33} 、…部分と、該フォトダイオード 1_{11} 、 1_{12} 、 1_{13} 、…、 1_{33} 、

…の信号を増幅する増幅トランジスタ 2_{11} 、 2_{12} 、 2_{13} 、…、 2_{33} 、…部分のみを記述することとし、他の信号走査回路は省略する。

【0008】図4において、41は光電変換部および信号走査回路を搭載した基板、42は光電変換部、43は増幅トランジスタ、44は素子分離領域であるフィールド酸化膜、44-1はフィールド酸化膜44の下の浅い領域に形成された不純物拡散分離層、45はフォトダイオードで図3の 1_{11} （または、 1_{12} 、 1_{13} 、…、 1_{33} 、…）に該当する。また、46は信号読み出しゲート、47は垂直信号線、48は遮光膜、49は集光レンズである。集光レンズ49はセル毎に配されており、対応するセルのフォトダイオード45に光学像を結像させるための微小なレンズである。また、遮光膜48は隣のセルと光学的に分離するために設けられている。

【0009】ところで、この種の装置にあっては、次のような問題があった。すなわち、基板41中に入射した長波長光、例えば、赤色光などの光はシリコン基板41中の深い領域に進入する。そして、当該深い領域で光-電変換され、電子光子エネルギー対応の電子になるが、従来の素子の場合、各セルとの画素を構成する領域は、浅く形成された素子分離領域のみで分離されているため、ある位置のセルにおける画素の領域に長波長光が進入することにより、その領域下の基板領域における深い位置で電子に変わる。この基板領域の深い位置で発生した信号（電子）は、基板内を移動して多くは自己の画素領域に戻り、画像信号となるが、一部は隣接画素にリーク拡散することが避けられない。カラーの場合、画素は、R（赤）、G（緑）、B（青）の各光成分に分解して取り込む必要があるから、画素もRGBに分けられており、これらは隣接配置されることになるから、隣接画素へのリーク拡散は、すなわち、混色やブルーミング発生の原因となる。

【0010】〔従来技術B〕

<画素微細化に伴うフォトダイオードの空乏層拡大処置>また、図4に示した固体撮像装置は、画素の内部に増幅機能を有する増幅型と呼ばれるMOS型固体撮像装置であり、この増幅型のMOS型固体撮像装置は、画素数の増大に対応できて、イメージサイズの縮小による画素サイズの微細化に適している。

【0011】そして、この固体撮像装置は、同一基板上に各画素単位で光電変換素子であるフォトダイオードとトランジスタが並設された構成がとられている。そして、光電変換素子による光電変換により発生した信号電荷で信号電荷蓄積部の電位を変調して、その電位により画素内部の増幅トランジスタを変調することで画素内部に増幅機能を持たせている。

【0012】しかしながら、上記増幅型固体撮像装置のように、多画素化してくると、1画素当たりの光電変換素子の面積、すなわち、画素に対応する1光電変換素子

当たりの形成面積が小さくなるため、当該光電変換素子からの出力が小さくなる。

【0013】この画素面積の減少に伴う光検出力（画像信号出力）の減少を改善する方法としては、画素を構成する光電変換素子であるフォトダイオードの空乏層を広げるべく、半導体基板の不純物濃度を減少させることが考えられる。しかし、かかる半導体基板の不純物濃度の減少は、半導体基板の拡散電流を増大させてしまうといった問題を抱えてしまう。

【0014】すなわち、従来技術に係わるMOS型固体撮像装置は、低濃度のp型半導体基板にn型半導体層が形成されている。しかし、このような構成では、フォトダイオードの空乏層が半導体基板の深さ方向に辿り着く深さによっては、フォトダイオードの暗時のリーク電流も増加させてしまい、その結果としてダイナミックレンジを下げてしまう。

【0015】また、画素に強い光が照射され、多量のキャリア（電子）が発生したとき、（フォトダイオードの容量以上のキャリアが発生したとき、）キャリアがフォトダイオードから溢れ出し、隣接画素のフォトダイオードに漏れ込み（ブルーミング）、画質を著しく劣化させてしまう。

【0016】〔従来技術C〕

<トランジスタ微細化に伴うウェルの高濃度化>また、MOS型個体撮像素子にあっては、各セルに配置された増幅トランジスタをはじめとするトランジスタは、セルの微細化と共にそのディメンジョンが小さくなるが、その様にトランジスタの微細化が進むと、トランジスタを作り込んでいるウェル濃度を高くせざるを得なくなっていく。ウェル濃度を高くしないと、いわゆる短チャネル効果や狭チャネル効果等といった微細化に伴い生ずる問題が、より顕著になってしまうからである。

【0017】一方で、光電変換部であるフォトダイオードでは、このようなセルの微細化により信号走査部と同様、ウェル濃度を高くしていくと、次のような問題が生ずることがわかった。

【0018】図15はその事情を示した図面である。すなわち、図に示すウェル濃度・接合リーク電流特性のように、フォトダイオードではウェルの濃度を高くしていくに伴ってその接合リーク電流が高くなってしまふのである。

【0019】そして、接合リーク電流が高くなってしまふと、素子の信号量が少ないいわゆる暗時状態でそれが雑音となり、著しく再生画面の画質が劣化してしまうことになる。

【0020】すなわち、従来のMOSセンサにおいては、画素微細化に伴って信号走査回路を構成するトランジスタを微細化する必要があり、微細なトランジスタを二次元効果の影響無く動作させるためには、トランジスタを作り込んでいるウェルの濃度を高くする必要がある

た。

【0021】ところが、光電変換部であるフォトダイオードでは、ウェルの濃度を高くすると、接合リーク電流が高くなってしまい、それが再生画面上で雑音となり再生画面の画質を著しく劣化させてしまう。

【0022】

【発明が解決しようとする課題】〔課題A〕

<長波長光入射に伴う隣接画素への電子リークの問題>基板中に入射した赤色光などの長波長光が、シリコン基板中の深い領域に浸透してここで光・電変換され電子になるが、従来の素子の場合、各画素は浅い領域のみで素子分離されているため、深い基板領域で発生した信号は隣接画素にリーク拡散する。

【0023】そして、これが原因で、混色やブルーミングが発生し、画像特性が劣化していた。このように、従来のMOS型固体撮像装置においては、基板あるいはウェル中で光電変換された信号が隣接画素から漏れ込むことにより混色やブルーミングが発生するという問題があった。

【0024】そこで、この発明の第1の目的とするところは、隣接する画素において長波長光の浸透による半導体基板の深い領域で発生した信号の漏れ込みによる混色およびブルーミングの発生を低減することができるようにした固体撮像装置を提供することにある。

【0025】〔課題B〕

<画素微細化に伴うフォトダイオードの空乏層拡大処置に対する問題>また、上記増幅型固体撮像装置では、多画素化してくると、1画素当たりの光電変換素子の面積、すなわち、画素に対応する1光電変換素子当たりの形成面積が小さくなるため、当該光電変換素子からの出力が小さくなる。この画素面積の減少に伴う光検出力（画像信号出力）の減少を改善する方法としては、画素を構成する光電変換素子であるフォトダイオードの空乏層を広げるべく、半導体基板の不純物濃度を減少させることが考えられる。しかし、かかる半導体基板の不純物濃度の減少は、半導体基板の拡散電流を増大させてしまうといった問題を抱えてしまう。

【0026】すなわち、従来技術に係わる固体撮像装置では、低濃度のp型半導体基板にn型半導体層が形成されている。このような構成では、フォトダイオードの空乏層が基板の深さ方向に辿り着く深さによって、フォトダイオードの暗時のリーク電流も増加させ、その結果としてダイナミックレンジを下げてしまう。

【0027】また、画素に強い光が照射され、多量のキャリア（電子）が発生したとき、（フォトダイオードの容量以上のキャリアが発生したとき、）キャリアがフォトダイオードから溢れ出し、隣接画素のフォトダイオードに漏れ込み（ブルーミング）、画質を著しく劣化させてしまう。

【0028】そこで、本発明の第2の目的とするところ

は、画素を微細化した場合に於いて、半導体基板からの拡散電流の影響を低減させ、フォトダイオードの暗時のリーク電流が小さくでき、また、ダイナミックレンジを大きくできると共に、また、ブルーミング、混色を抑制できるようにした増幅型固体撮像装置及びその製造方法を提供することにある。

【0029】[課題C]

<トランジスタ微細化に伴うウェルの高濃度化による接合リーク問題>図4の回路構成の固体撮像装置にあっては、微細化が可能であるが、各セルに配置された増幅トランジスタをはじめとするトランジスタは、セルの微細化に伴ってそのディメンジョンが小さくなる。そして、トランジスタの微細化が進むと、トランジスタを作り込んでいるウェル濃度を高くせざるを得なくなっていく。ウェル濃度を高くしないと、いわゆる短チャネル効果や狭チャネル効果等といった微細化に伴い生ずる問題が、より顕著になってしまうからである。

【0030】一方で、光電変換部であるフォトダイオードでは、このようなセルの微細化により信号走査部と同様、ウェル濃度を高くするとそれに伴ってその接合リーク電流が高くなってしまふ。そして、接合リーク電流が高くなると、素子の信号量が少ない、いわゆる暗時状態において、それが雑音となり、再生画面の著しい画質劣化を招く。

【0031】すなわち、従来のMOSセンサにおいては、画素微細化に伴って信号走査回路を構成するトランジスタを微細化する必要があり、微細なトランジスタを二次元効果の影響無く動作させるためには、トランジスタを作り込んでいるウェルの濃度を高くする必要があった。

【0032】ところが、光電変換部であるフォトダイオードでは、ウェルの濃度を高くすると、接合リーク電流が高くなってしまい、それが再生画面上で雑音となり再生画面の画質を著しく劣化させてしまうという問題があった。

【0033】このように、従来のMOS型固体撮像装置においては、セル微細化と共にそれを構成するトランジスタを微細化する必要があり、微細なトランジスタを二次元効果の影響無く動作させるためにはトランジスタを作り込んでいるウェルの濃度を高くする必要があったが、光電変換部であるフォトダイオードではウェル濃度を高くすると、接合リーク電流が高くなってしまい、それが再生画面上で雑音となり再生画面の画質を著しく劣化させてしまうという問題があった。

【0034】そこでこの発明の第3の目的とするところは、光電変換部のフォトダイオードの接合リーク電流を低く抑圧することができ、接合リーク電流による暗時雑音を低くしたままセルを微細化することができるようにしたMOS型固体撮像装置を提供することにある。

【0035】

【課題を解決するための手段】上記課題を解決するために、本発明は次のような構成を採用している。すなわち、

[A] 長波長光入射に伴う隣接画素への電子リーク抑制という第1の目的を達成するため、本発明は、光電変換部と信号走査回路を含む単位セル複数を行列二次元状に配置してなる撮像領域と、この撮像領域の各セルからの信号を読み出す信号線とを半導体基板上に形成した固体撮像装置において、前記光電変換部を分離する素子分離領域においてフィールド酸化膜下に半導体基板あるいはウェルと同一導電型の浅い不純物層と深い不純物層を形成する。これにより、隣接する画素からの拡散による信号が漏れ込みにくくなり、混色およびブルーミングの発生を低減することが可能になる。

【0036】本発明によれば、素子分離領域においてフィールド酸化膜下に基板あるいはウェルと同一導電型の不純物拡散層が基板の浅い領域と深い領域に形成されるように構成されている。そのため、半導体基板の深い領域でも素子分離が可能になるため、隣接する画素において長波長光の浸透による半導体基板の深い領域で発生した信号が漏れ込みにくくなるため、混色およびブルーミングを低減することが可能になる。

【0037】[B] また、画素微細化に伴うフォトダイオードの空乏層拡大処置により発生する半導体基板の拡散電流増大抑制という第2の目的を達成するため、本発明は、光を電荷に変換する光電変換素子と、この光電変換素子から信号を取り出すためのトランジスタとを有する固体撮像装置において、半導体基板の上に形成された第1の半導体層と、上記第1の半導体層の表面に形成された第2、第3の半導体層と、上記第1の半導体層の表面に酸化膜を挟んで堆積された転送電極層とを有し、上記第1及び第2の半導体層にて上記光電変換素子が形成され、上記第1乃至第3半導体及び上記転送電極層にて上記トランジスタが形成されると共に、当該トランジスタのドレインに相当する第3の半導体層を、上記光電変換素子の空乏層領域の深さより深く半導体基板中に埋め込み形成し、また、当該ドレインと隣接トランジスタのドレインとの間を電氣的に接続する前記第3の半導体層と同一導電性の補助導電層を、前記空乏層領域の深さより深い位置に形成したことを特徴とする。

【0038】そして、トランジスタのドレインに相当する第3の半導体層を、上記光電変換素子の空乏層領域の深さより深く半導体基板中に埋め込み形成し、また、当該ドレインと隣接トランジスタのドレインとの間を電氣的に接続する前記第3の半導体層と同一導電性の補助導電層を、前記空乏層領域の深さより深い位置に形成したことにより、第1の半導体層(基板)に発生した拡散電流を、各画素においてドレインに集めてしまうようにした。

【0039】従って、画素微細化に伴い、検出信号増大

のための処置としてのフォトダイオードの空乏層拡大に伴う半導体基板の拡散電流増大を抑制できるようになる。

〔C〕また、トランジスタ微細化に伴うウェルの高濃度化による接合リーク抑制という第3の目的を達成するため、本発明は、光電変換部と信号走査回路を含む単位セル複数を二次元状に配置してなる撮像領域と、この撮像領域の各セルからの信号を読み出す信号線とを半導体基板上に形成した固体撮像装置において、前記光電変換部は、信号電荷と同一導電型の第1の導電型領域およびこの第1の導電型領域とは逆の導電型のウェル領域とからなり、前記信号走査回路は一つ以上のトランジスタからなり、該トランジスタはトランジスタの導電型とは逆の導電型のウェル内に形成されると共に、前記光電変換部のウェルの不純物濃度と前記信号走査回路のウェルの不純物濃度とを異ならせた構成とする。例えば、光電変換部のウェル濃度は信号走査回路のウェル濃度よりも低くする。

【0040】このような本発明によれば、光電変換部のウェル濃度が信号走査回路部のウェル濃度よりも低く構成されているため、信号走査回路部のウェル濃度を、トランジスタが二次元効果の影響無く動作させるに十分な高さの濃度で構成した場合でも、光電変換部のウェル濃度が信号走査回路部のウェル濃度より低くなるよう構成することができる。そのため、光電変換部のフォトダイオードの接合リーク電流を低く抑圧することができ、接合リーク電流による暗時雑音を低くしたままセルを微細化することができる。

【0041】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。はじめに、長波長光入射に伴う隣接画素への電子リーク抑制を図るための具体的例を第1および第2の実施形態で説明する。

【0042】（第1の実施形態）第1の実施形態は、半導体基板上に光電変換部と信号走査回路を含む単位セルを行列二次元状に配置してなる撮像領域と、この撮像領域の各セルからの信号を読み出す信号線とからなる固体撮像装置において、前記光電変換部を分離する素子分離領域には、フィールド酸化膜下に半導体基板あるいはウェルと同一導電型の浅い不純物層と深い不純物層を形成することにより、隣接する画素からの拡散による信号が漏れ込みにくくし、混色およびブルーミングの発生を低減するようにするもので、以下、詳細を説明する。

【0043】図1は、本発明の第1の実施形態を説明するための断面構造を示した図である。図1では図3で説明した回路における光電変換を行うフォトダイオード（光電変換部） 1_{11} , 1_{12} , 1_{13} , ..., 1_{33} , ...および該フォトダイオード 1_{11} , 1_{12} , 1_{13} , ..., 1_{33} , ...の信号を増幅する増幅トランジスタ 2_{11} , 2_{12} , 2_{13} , ..., 2_{33} , ...部分のみを記述することとし、他の走査回路は

省略する。

【0044】図1において、21は光電変換部および走査回路を搭載した半導体基板（シリコン基板など）、22は光電変換部領域、23は増幅トランジスタ、24は素子分離領域（フィールド分離領域）であるフィールド酸化膜領域、24-1はフィールド酸化膜領域24の下の浅い領域に形成された第1の不純物拡散分離層、24-2はこの第1の不純物拡散分離層24-1の下深い領域に形成された第2の不純物拡散分離層、25はフォトダイオード、26は信号読み出しゲート、27は垂直信号線、28は遮光膜、29は集光レンズである。

【0045】ここで、フィールド酸化膜領域24の下浅い領域に形成された第1の不純物拡散分離層24-1は、フィールド酸化膜領域24下において、深さ0.5 μm 以下の深さで分布されるように形成されており、また、この第1の不純物拡散分離層24-1の下深い領域に形成された第2の不純物拡散分離層24-2は、0.5 μm 以上の深さに亙り、分布するように形成されている。

【0046】ここで、素子分離領域は、本発明ではフィールド酸化膜領域24およびその下の第1の不純物拡散分離層24-1およびその下の第2の不純物拡散分離層24-2とで形成されるものとする。

【0047】このような構成の第1の実施形態の構造の特徴とするところは、浅い不純物拡散分離層である0.5 μm 以下の第1の不純物拡散分離層24-1と、0.5 μm 以上の深い不純物拡散分離層である第2の不純物拡散分離層24-2をフィールド酸化膜領域24下に形成してなる3段構成の素子分離領域とし、半導体基板21の深い層に入り込んだ長波長光による深い部分での発生電荷を一つの素子分離領域内に閉じこめ、隣接画素にリークできないようにしたことにある。

【0048】このような素子分離領域構造を採用することにより、走査回路の複数のトランジスタ間の素子分離および半導体基板21の深い領域で光電変換された信号についても画素分離が可能となるため、従来問題となっていた隣接画素からの基板の深い領域で発生した信号の漏れ込みによって生じる混色およびブルーミングを低減することが可能となる。

【0049】長波長光入射に伴う隣接画素への電子リーク抑制を図るための別の例を第2の実施形態として説明する。

（第2の実施形態）図2は本発明の第2の実施形態の画素の断面図である。第2の実施形態と第1の実施形態で異なる点は、第2の実施形態では走査回路（増幅トランジスタ、選択トランジスタ、リセットトランジスタ）下に第3の素子分離拡散層24-3がたとえば約0.5 μm 以上の深さの領域に幅約0.2 μm 以上で形成され、さらに第3の素子分離拡散層24-3の下に光電変換部と同一導電型のn型不純物拡散層25-1が素子分離拡

散層24-2の深さ以下に形成されている点にある。

【0050】この実施形態においては、各画素において半導体基板の深い領域で発生した信号もそれぞれの画素の第2の光電変換拡散層25-1に吸収されるため、隣接画素からの漏れ込み信号は低減することができる。また、従来はフォトダイオード以外の領域、すなわち、走査回路領域下で発生した信号はリセットトランジスタにより吸収され捨てられてしまうが、第2の実施形態によれば、走査回路下もフォトダイオードとなっているため飽和信号量を増加することが可能となる。

【0051】本実施形態では分離拡散層は浅い領域での拡散層および深い領域での拡散層と2段で形成されているが深い領域においては可能な限り、さらに、3段階、4段階…と深い領域に分離拡散層を形成することにより、混色およびブルーミングを効果的に低減することが可能になる。

【0052】以上、第1の実施形態は、半導体基板上に光電変換部と信号走査回路を含む単位セルを行列二次元状に配置してなる撮像領域と、この撮像領域の各セルからの信号を読み出す信号線とからなる固体撮像装置において、前記光電変換部を分離する素子分離領域には、フィールド酸化膜下に半導体基板あるいはウエルと同一導電型の浅い不純物層と深い不純物層を形成することにより、隣接する画素からの拡散による信号が漏れ込みにくくし、混色およびブルーミングの発生を低減するようにした。

【0053】本発明によれば、素子分離領域においてフィールド酸化膜下に基板あるいはウエルと同一導電型の不純物拡散層が基板の浅い領域と深い領域に形成されるように構成されている。そのため、基板の深い領域でも素子分離が可能になるため、隣接する画素において基板の深い領域で発生した信号からの信号の漏れ込みにくくなるため、混色およびブルーミングを低減することが可能になる。

【0054】また、第2の実施形態においては、走査回路（増幅トランジスタ、選択トランジスタ、リセットトランジスタ）下に第3の素子分離拡散層を形成し、さらにこの第3の素子分離拡散層下に光電変換層と同一導電型のn型不純物拡散層を素子分離拡散層の先端より浅い位置に形成した。

【0055】そのため、この実施形態においては、各画素において半導体基板の深い領域で発生した信号もそれぞれの画素の第2の光電変換拡散層に吸収され、隣接画素からの漏れ込み信号を低減できる。また、走査回路下もフォトダイオードとなっているため、フォトダイオード以外の領域、すなわち、走査回路領域下で発生した信号も活用できるようになって、飽和信号量を増加することができるようになる。

【0056】以上、第1および第2の実施形態では長波光入射に伴う隣接画素へのリーク抑制を図るための技

術を説明した。次に本発明の第2の目的である画素微細化に伴うフォトダイオードの空乏層拡大処置により発生する半導体基板の拡散電流増大抑制に関する具体例を第3の実施形態として説明する。

【0057】（第3の実施形態）増幅型固体撮像装置のように、多画素化してくると、1画素当たりの光電変換素子の面積、すなわち、画素に対応する1光電変換素子当たりの形成面積が小さくなるため、当該光電変換素子からの出力が小さくなる。この画素面積の減少に伴う光検出力（画像信号出力）の減少を改善する方法としては、画素を構成する光電変換素子であるフォトダイオードの空乏層を広げるべく、半導体基板の不純物濃度を減少させることが考えられる。しかし、かかる半導体基板の不純物濃度の減少は、半導体基板の拡散電流を増大させてしまう。

【0058】すなわち、従来においては、MOS型個体撮像素子は、低濃度のp型半導体基板にn型半導体層を形成している。このような構成では、フォトダイオードの空乏層が基板の深さ方向に辿り着く深さによって、フォトダイオードの暗時のリーク電流も増加させ、その結果としてダイナミックレンジを下げてしまう。

【0059】また、画素に強い光が照射され、多量のキャリア（電子）が発生したとき、（フォトダイオードの容量以上のキャリアが発生したとき、）キャリアがフォトダイオードから溢れ出し、隣接画素のフォトダイオードに漏れ込み（ブルーミング）、画質を著しく劣化させてしまう。

【0060】そこで、第3の実施形態では、この対策として次のようにする。図5に、第3の実施形態に係わる固体撮像装置の断面図を示す。同図に示されるように、本固体撮像装置では、低濃度のp型半導体層51の表面にn型半導体層52、n型半導体層53-1が形成されており、さらに所定領域にシリコン酸化膜54を介して、ゲート電極55が体積されて形成された構造になっている。

【0061】ここで、補助用n型半導体層53-2は、隣接トランジスタのドレインを形成している高濃度のn型半導体層53-1部分と電気的に接続されている。上記高濃度のn型半導体層53-1は、空乏層56の深さよりも深い位置まで先端部側が到達するように、半導体基板51に形成されており、補助用n型半導体層53-2は、近隣のn型半導体層53-1間を繋ぐように、且つ、空乏層56の深さよりも深い位置に分布するように、上記高濃度のn型半導体層53-1間に形成されている。

【0062】そして、上記p型半導体層51と上記n型半導体層52により、フォトダイオードが形成され、上記p型半導体層51と上記n型半導体層52、n型半導体層53-1、ゲート電極55によってリセットトランジスタが形成されている。

【0063】このように、本固体撮像装置は、フォトダイオードの近傍にリセットトランジスタを配設した構造となっている。また、本実施形態の場合には、低濃度のn型半導体層とp型半導体層により構成しても、同様の効果が得られる。

【0064】さらに、この実施の形態では、p型半導体層51と上記n型半導体層52により形成されるフォトダイオードのリーク電流低減と、画素の分離性能を向上させるべく、当該フォトダイオードの空乏層56の深さよりも深い位置まで先端部側が到達するように、上記高濃度のn型半導体層53-1を形成している。

【0065】この高濃度のn型半導体層53-1は、上記リセットトランジスタがp型のMOSトランジスタである場合には、p型であっても、十分な撮像機能を発揮することができる。

【0066】このように、空乏層56の深さよりも深い位置まで先端部側が到達するように、トランジスタのドレインである上記高濃度のn型半導体層53-1を形成し、且つ、近隣のn型半導体層53-1間を補助用n型半導体層53-2で繋いだ構成によれば、フォトダイオード部分における半導体構造である図6に示されるように、フォトダイオードの空乏層56が基板51の深さ方向に辿り着く深さよりも深い位置にて、拡散電流57をリセットトランジスタ(p型半導体層51、n型半導体層52、n型半導体層53、ゲート電極55によって形成される部分)のドレインに相当するn型半導体層53-1、あるいは、近隣の前記n型半導体層53-1同士を繋ぐn型半導体層53-2に吸収できる。

【0067】つまり、微細化されたフォトダイオードでの光検出力を確保すべく、フォトダイオードの空乏層を広げるために半導体基板の不純物濃度を減少させた場合に図6に示すように半導体基板の拡散電流57の増大があっても、この拡散電流57はその多くは空乏層56の深さよりも深い位置まで先端部側が到達するように形成してある、トランジスタのドレインである上記高濃度のn型半導体層53-1および近隣のn型半導体層53-1間を繋ぐ補助用n型半導体層53-2に、流れ込むことになり、空乏層56到達以前の段階にて拡散電流57の大半を吸収できる。

【0068】このn型半導体層53-1、53-2はリセットトランジスタのドレインを構成するので、この実施形態においては拡散電流57を当該リセットトランジスタのドレインに流して空乏層56に流れ込むのを抑制できる構造となる。

【0069】尚、図6では、概略的に矢印で拡散電流57の流れを示したが、本発明によれば、p型半導体層51と上記n型半導体層52により構成されるフォトダイオード部分に拡散電流57が集まる割合が大幅に減少し、固体撮像装置のダイナミックレンジが向上する。

【0070】次にこのような効果を得ることのできる図

5の如き構造の半導体素子の作製方法を説明する。

＜撮像素子の作製方法＞以下、図7を参照して、先に図5に示した第3の実施形態に係わる撮像素子の作製方法の一例を説明する。ここでは、本発明の特徴となる拡散電流を吸収するドレインの作製方法を中心に説明する。補助用n型半導体層53-2は、半導体基板内に埋め込まれて形成されており、隣接のリセットトランジスタのドレインと電気的に接続されているが、このような構造を得るには次のような手順を踏む。

【0071】[工程1] まず、半導体基板51である低濃度のp型半導体層表面にレジストを塗布し、これをパターニングしてリセットトランジスタのドレイン(n型半導体層)53-1となる部分だけ開口したレジストパターンを形成する。

【0072】[工程2] この後、加速器を用いてイオン注入法でP(リン)あるいは、砒素をイオン注入する。この時、リンイオンの注入条件の一例としては、160 [KeV]以上のエネルギーで、 $5 \times 10^{13} \text{ cm}^{-3}$ のドーパ量が好ましい。

【0073】[工程3] この後、アッシャーなどを用いてレジストを剥離する。

[工程4] この後、今度は、リセットトランジスタのドレイン53-1を繋ぐ補助用n型半導体層53-2形成領域となる部分を開口したレジストパターンを形成する。

【0074】[工程5] この後、加速器を用いてイオン注入法でPなどのようなn型半導体層を形成のための元素をイオン注入し、n型半導体層を形成する。この時、イオン注入条件としては、例えば、Pイオンを400 [KeV]以上のエネルギーによる $5 \times 10^{13} \text{ cm}^{-3}$ のドーパ量でのイオン注入をすることが好ましい。その理由は、リセットトランジスタのドレインを繋ぐ補助用n型半導体層53-2を半導体基板51内に埋め込む構造にしないと、基板表面に形成されたトランジスタなどがきちんと動作しなくなるためである。つまり、補助用n型半導体層53-2は、基板表面に形成されたトランジスタの空乏層56が広がった時に、当該空乏層56が補助用n型半導体層53-2と電気的に繋がることのない構造にすることである。

【0075】[工程6] この後、アッシャーなどによりレジストを剥離する。これにより、リセットトランジスタのドレイン53-1を繋ぐ補助用n型半導体層53-2を形成することができる。

【0076】＜撮像素子の別の作製方法＞本発明の補助用n型半導体層53-2を形成する別の方法について説明する。これは図7に示す如きの手順を踏む。

【0077】[工程i] 先ず、半導体基板51を構成する低濃度のp型半導体層の表面にレジストを塗布し、このレジストをパターニングしてリセットトランジスタのドレイン53-1および、補助用n型半導体層53-

2となる部分だけ開口したレジストパターン71を形成する。この後、例えば反応性イオンエッチング法を用いて、上記ドレインとなる部分をエッチングして、トレンチ51aを形成する(図7(a)参照)。

【0078】[工程ii] 続いて、例えば、アッシャー等によりレジストを除去する。この後、トレンチ51aに対してカバーレッジのよい条件でn型ポリシリコン層72を形成する(図7(b)参照)。

【0079】この方法としては、アモルファスシリコンを用いて、後に際加熱してポリシリコンとする方法を用いることもできる。

【工程iii】 この後、例えば、平坦化のためのCMPやエッチング技術等の方法を用いて、表面を研磨して平坦化する(図7(c)参照)。これにより、トレンチ51aがn型ポリシリコン層72aで埋められた半導体基板51が得られる。

【0080】[工程iv] この後、この半導体基板51の表面にレジストを塗布し、n型半導体層53-2の形成領域だけ開口したレジストパターン73を形成する(図7(d)参照)。

【0081】[工程v] そして、イオン注入法によりB(ボロンイオン)を打ち込み、n型半導体層53-2が残るように半導体基板51の表面近傍(トランジスタを形成する領域)74をP型化する(図7(e)参照)。

【0082】この後、アッシャー等でレジストを除去する。これにより、半導体基板内に補助用n型半導体層53-2が埋め込まれた図7(e)の如き構造を形成することができる。

【0083】この後、シリコン酸化膜54、ゲート電極55をp型半導体層51の所定領域に膜堆積する。このような一連の工程により、本発明の特徴となる拡散電流を吸収するドレインに相当するn型半導体層を形成することができる。

【0084】以上、本発明の実施形態について説明したが、本発明は、これに限定されることなく、その趣旨を逸脱しない範囲で種々の改良・変更が可能であることは勿論である。例えば、上記実施の形態では、ドレインを基板深くに形成する方法として、トレンチであらかじめ基板を掘り、ポリシリコン等を埋め込み、さらにCMP(Chemical Mechanical Polishing)等により平坦化して、n型半導体層3-2を形成することも可能である。

【0085】以上、この実施形態は、画素の微小化に伴うフォトダイオード(光電変換素子)の出力減少を改善すべく、半導体基板の不純物濃度を減少させた場合において、半導体基板からの拡散電流の影響を減少させることができ、フォトダイオードの暗時のリーク電流を小さくでき、ダイナミックレンジを大きくすると共に、さらに、隣接画素への信号電荷の漏れ込みを抑制して、ブルーミングおよび、混色を抑制できるようにした増幅型

の固体撮像装置を提供するため、光を電荷に変換する光電変換素子と、トランジスタを有する固体撮像装置において、半導体基板の上に形成された第1の半導体層と、上記第1の半導体層の表面に形成された第2および第3の半導体層と、上記第1の半導体層の表面に酸化膜を挟んで堆積された転送電極層とを有し、上記第1及び第2の半導体層により上記光電変換素子を形成し、上記第1、第3半導体層により上記トランジスタを形成し、当該ドレインが基板内で隣接画素のドレインと電気的に接続され、第1の半導体層の拡散電流を集めるようにした。

【0086】すなわち、この増幅型固体撮像装置は、光電変換素子たるフォトダイオードの周囲の空乏層の底部領域の、半導体基板中での深さ位置よりも深い位置に、上記トランジスタのドレインに相当する第3の半導体層の端部側が来るように当該第3の半導体層を形成し、拡散電流を上記トランジスタのドレインに相当する第3の半導体層に吸収できるようにした。さらに、当該3の半導体層が隣接画素に設置されたトランジスタのドレインと基板内部で電気的につながれた。

【0087】従って、これにより、半導体基板からの拡散電流の影響を低減させ、フォトダイオードの暗時のリーク電流が小さくでき、また、ダイナミックレンジを大きくできると共に、また、ブルーミング、混色を抑制できるようにする。

【0088】次に、上記[課題C]の解決を図る実施形態を次に説明する。上記[課題C]においては、MOS型固体撮像装置におけるセル微細化に伴って、セルを構成するトランジスタを微細化する必要があり、微細なトランジスタを二次元効果の影響無く動作させるためにはトランジスタを作り込んでいるウェルの濃度を高くする必要があるという背景にて生ずる問題をとり上げている。

【0089】すなわち、光電変換部であるフォトダイオードではウェル濃度を高くすると、接合リーク電流が高くなってしまい、それが再生画面上で雑音となり再生画面の画質を著しく劣化させてしまうという問題がある。

【0090】そこでここでは、光電変換部のフォトダイオードの接合リーク電流を低く抑圧することができ、接合リーク電流による暗時雑音を低くしたままセルを微細化することができるようにしたMOS型固体撮像装置を実現する。

【0091】(第4の実施形態) 第4の実施形態の基本は、半導体基板上に、撮像領域の信号走査回路を駆動するための素子駆動回路を配置してなる駆動回路領域と、光電変換部と信号走査回路部を含む単位セルを行列二次元状に配置してなる撮像領域と、撮像領域の各セルからの信号を読み出す信号線とからなる固体撮像装置において、光電変換部は、信号電荷と同一導伝型の第1の導伝型領域および当該第1の導伝型とは逆導伝型のウェル領

域とから構成すると共に、前記信号走査回路は少なくとも一つのトランジスタから構成し、且つ、該トランジスタはトランジスタの導伝型とは逆導伝型のウェル内に形成し、前記光電変換部のウェルの不純物濃度と前記信号走査回路のウェルの不純物濃度とが異なる構成とすることで、光電変換部のフォトダイオードの接合リーク電流を低く抑圧できるようにし、接合リーク電流による暗時雑音を低くしたままセルを微細化できるようにした技術である。

【0092】図8にこのような実施形態に係わる単位セルの平面構成を示す。また、図9には、図8に対応する本発明の単位セルの回路構成を示した。素子回路構成は、従来の素子回路構成と同じである。

【0093】図10は第4の実施形態における本発明の固体撮像装置の要部断面構造を示した図面で、図8の矢視A-A'の断面に相当する。図8において、81は光電変換部であるフォトダイオードである。また、82は増幅トランジスタ、83はアドレスタランジスタ、84はリセットトランジスタ、85は転送トランジスタ、86は垂直信号線、87は電源線である。88は光電変換部のp型ウェル領域、また89は信号走査回路部のp型ウェル領域である。

【0094】図10において101はフォトダイオードを構成するn型拡散層領域、108はフォトダイオードが作り込まれているp-well (p型ウェル) である。また、82は増幅トランジスタ、83はアドレスタランジスタである。また、86は垂直信号線、87は電源線である。そして、89は信号走査回路部が作り込まれているp-well (p型ウェル) 領域、100はp型半導体基板である。

【0095】また、図9において、81はフォトダイオード、82は増幅トランジスタ、83はアドレスタランジスタ、84はリセットトランジスタである。また、86は垂直信号線、87はアドレス線、88はリセット線である。

【0096】図11(a)には、図10の単位画素における光電変換部の矢視A-A'での断面における不純物濃度プロファイルを示した。図11(b)には、画素信号走査回路部の矢視B-B'での断面における不純物濃度プロファイルを示した。

【0097】図11(b)に示した不純物濃度プロファイルでは、信号走査回路部のp型ウェル89のホウ素濃度は 10^{17} (10の17乗) 代の濃度であり、この濃度は設計基準0.7ミクロンのMOS回路がショートチャネル効果等を起こさず動作する濃度である。

【0098】従って、このpウェル濃度では信号走査回路は問題無く動作し、信号を読み出すことができる。一方で、例えば光電変換部のウェル108の濃度は 10^{15} (10の15乗) 代の濃度である。この濃度では、図11(c)に示したように、pnジャンクションのリーク

電流は十分に小さくなる。従って、暗時の雑音が問題になることも無く、感度の高い撮像装置が実現できる。

【0099】このように、画素内の信号走査回路部においては、ウェルの濃度を微細な画素内に組み込まれたMOS回路でショートチャネル効果が起こることなく動作できるのに十分な高さの濃度にし、かつ、光電変換部ではリーク電流が十分に低くなるウェル濃度まで下げることにより、微細な画素で雑音が低い撮像装置が実現できる。

【0100】(第5の実施形態) 図12は別の実施形態を示した図面である。図12の実施形態が図10の実施形態と異なるのは光電変換部に設けられたp型ウェル108が信号走査回路部と共通に設けられている点である。

【0101】また、図10、図12の実施形態では基板100の導伝型がウェルの導伝型と同一のp型であるが、基板100の導伝型はn型でも良い。このようにしても、第4の実施形態同様に、微細な画素で雑音が低い撮像装置が実現できる。

【0102】(第6の実施形態) ここに説明する第6の実施形態は、半導体基板上に、撮像領域の信号走査回路を駆動するための素子駆動回路を配置してなる駆動回路領域と、光電変換部と信号走査回路部を含む単位セルを行列二次元状に配置してなる撮像領域と、撮像領域の各セルからの信号を読み出す信号線とからなる固体撮像装置において、前記撮像領域のうち少なくとも光電変換部に第一のウェルを形成し、信号走査回路部に第二のウェルを形成し、前記素子駆動回路部には第三のウェルを形成すると共に、それぞれのウェルの濃度を異ならせた構成とすることで、光電変換部のフォトダイオードの接合リーク電流を低く抑圧できるようにし、接合リーク電流による暗時雑音を低くしたままセルを微細化できるようにした技術を示す。

【0103】図13はこのような本発明の実施形態におけるウェル構成を示した素子構成の断面構造図である。図13において、61は撮像領域に設けられたp型ウェル、62は信号走査回路部に設けられたp型ウェル、63-1は素子駆動領域に設けられたp型ウェル、63-2は素子駆動領域に設けられたn型ウェルである。

【0104】この例では、光電変換部のウェル濃度は信号走査回路のウェル濃度よりも低くなっている。すなわち、ウェルの不純物濃度は、第一のウェルをp型ウェル61、第二のウェルをp型ウェル63-1、第三のウェルをn型ウェル63-2とすると、第一のウェル<第二のウェル<第三のウェルの関係にある。

【0105】本発明によれば、光電変換部のウェル濃度が信号走査回路部のウェル濃度よりも低く構成されている。そのため、信号走査回路部のウェル濃度を、トランジスタが二次元効果の影響無く動作させるに十分な高さ

の濃度で構成した場合でも、光電変換部のウェル濃度が信号走査回路部のウェル濃度より低くなるよう構成することができる。そのため、光電変換部のフォトダイオードの接合リーク電流を低く抑圧することができ、接合リーク電流による暗時雑音を低くしたままセルを微細化する事ができる。

【0106】また、図14に示す構成とすることもできる。図14において、71は光電変換部と信号走査回路部に共通に設けられたp型ウェル、72は光電変換部に設けられたp型ウェル、73は信号走査回路部のp型ウェル、74は素子駆動回路部のp型ウェル、75は素子駆動回路部のn型ウェルである。また、76はp型半導体基板である。この例では半導体基板の導伝型はp型であるが、これはn型の半導体基板でも良い。

【0107】この固体撮像装置においては、半導体素子を構成するウェルは第一から第四までの四つの領域に分けてあり、第一のウェルであるp型ウェル71は少なくとも前記光電変換部と前記信号走査回路部に共通に設けられ、第二のウェルであるp型ウェル72は前記光電変換部に設けられ、第三のウェルであるp型ウェル73は前記信号走査部に設けられ、第四のウェルであるn型ウェル75は前記素子駆動回路部に設けられている。

【0108】そして、前記第一のウェル、第二のウェル、第三のウェル、及び第四のウェルの不純物濃度がそれぞれ異なり、濃度の薄い方から順に、第二のウェル、第三のウェル、第四のウェル、第一のウェル、になっている。

【0109】この構成によれば、光電変換部のウェル濃度が信号走査回路部のウェル濃度よりも低く構成される。そのため、信号走査回路部のウェル濃度を、トランジスタが二次元効果の影響無く動作させるに十分な高さの濃度で構成した場合でも、光電変換部のウェル濃度が信号走査回路部のウェル濃度より低くなるよう構成することができる。そのため、光電変換部のフォトダイオードの接合リーク電流を低く抑圧することができ、接合リーク電流による暗時雑音を低くしたままセルを微細化する事ができる。

【0110】なお、本発明は上述の具体例に限定されることなく、種々変形して実施可能である。以上、第4および第5の実施形態に示した本発明は、半導体基板上に光電変換部と信号走査回路を含む単位セルを行列二次元状に配置してなる撮像領域と、この撮像領域の各セルからの信号を読み出す信号線とからなる固体撮像装置において、前記光電変換部は、信号電荷と同一導伝型の第一の導伝型領域とそれとは反対の導伝型のウェル領域とからなり、前記信号走査回路は一つ以上のトランジスタからなり、該トランジスタはトランジスタの導伝型とは逆の導伝型のウェル内に形成され、前記光電変換部のウェルの不純物濃度と前記信号走査回路のウェルの不純物濃度とが異なるものとしたものであり、例えば、光電変換

部のウェル濃度は信号走査回路のウェル濃度よりも低くしたものである。

【0111】そして、本発明のこの構成により、信号走査回路部のウェル濃度を、トランジスタが二次元効果の影響無く動作させるに十分な高さの濃度で構成した場合でも、光電変換部のウェル濃度が信号走査回路部のウェル濃度より低くなるよう構成することができるため、光電変換部のフォトダイオードの接合リーク電流を低く抑圧することができ、接合リーク電流による暗時雑音を低くしたままセルを微細化する事ができる。

【0112】

【発明の効果】以上詳述したように、本発明によれば、以下の効果が得られる。

【A】素子分離領域においてフィールド酸化膜下に基板あるいはウェルと同一導電型の不純物拡散層が基板の浅い領域と深い領域に形成されるように構成したことにより、半導体基板の深い領域でも素子分離が可能になって、隣接する画素において長波長光の浸透による半導体基板の深い領域で発生した信号が漏れ込みにくくなり、従って、混色およびブルーミングを低減することが可能になる固体撮像装置を提供することができる。

【0113】【B】また、本発明によれば、半導体基板からの拡散電流の影響を低減させ、フォトダイオードの暗時のリーク電流が小さく、ダイナミックレンジの大きく、また、ブルーミング、混色を抑制することのできる固体撮像装置を提供することができる。

【0114】【C】また、本発明によれば、撮像素子の微細化に伴いウェル濃度が高くなり、それに従いフォトダイオードの逆バイアスリーク電流が高くなり、その結果、良質の再生画像を得ることのできる固体撮像装置を提供することができる。

【図面の簡単な説明】

【図1】本発明を説明するための図であって、本発明の第1の実施形態としてのフォトダイオード部分近傍断面構造を示す図である。

【図2】本発明を説明するための図であって、本発明の第2の実施形態としてのフォトダイオード部分近傍断面構造を示す図である。

【図3】MOS型個体撮像装置の回路構成例を説明するための図である。

【図4】従来技術を説明するための図である。

【図5】本発明を説明するための図であって、本発明の第3の実施形態としてのフォトダイオード部分近傍断面構造を示す図である。

【図6】本発明の第3の実施形態の効果を説明するための図である。

【図7】本発明の第3の実施形態に係わる固体撮像装置のドレインの作製方法の一例を示す工程図である。

【図8】本発明を説明するための図であって、本発明における固体撮像装置の第4の実施の形態に係わる単位セ

ルの平面構造を示した図である。

【図9】本発明を説明するための図であって、本発明の第4の実施形態における単位画素の回路構成例を示す図である。

【図10】本発明を説明するための図であって、本発明の第4の実施形態における本発明の固体撮像装置の要部断面構造を示した図面であり、図8における矢視A-A'断面構造を示した図である。

【図11】本発明を説明するための図であって、図10の単位画素における光電変換部の矢視A-A'、B-B'の断面の不純物濃度プロファイル及びそれぞれのpウェル濃度での逆バイアスリーク電流の様子を示した図である。

【図12】本発明を説明するための図であって、本発明における第二の実施の形態に係わる単位セルの断面構造を示したものである。

【図13】本発明を説明するための図であって、本発明の第5の実施形態に係わる単位セルの断面構造を示した図である。

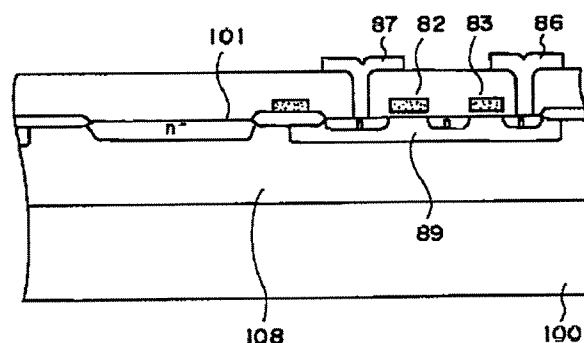
【図14】本発明を説明するための図であって、本発明の第6の実施形態に係わる単位セルの断面構造を示した図である。

【図15】従来技術を説明するための図である。

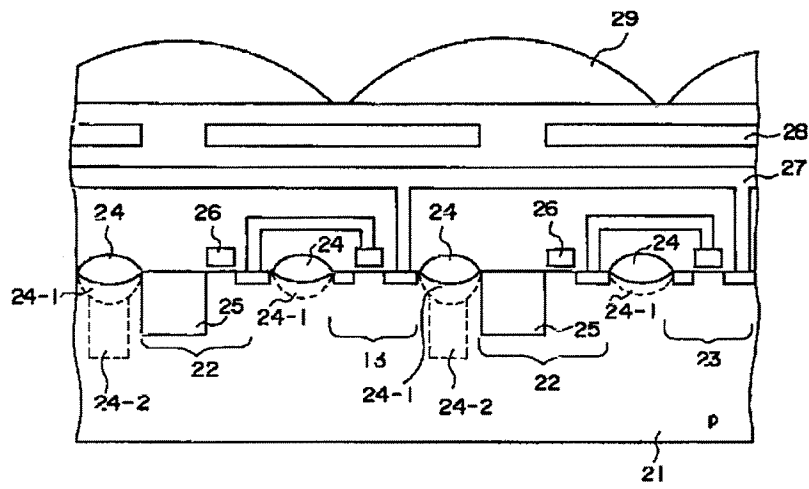
【符号の説明】

- 1₁₁ , 1₁₂ , 1₁₃ , ~1₃₃…フォトダイオード
- 2₁₁ , 2₁₂ , 2₁₃ , ~2₃₃…増幅トランジスタ
- 3₁₁ , 3₁₂ , 3₁₃ ~3₃₃…垂直選択トランジスタ
- 4₁₁ , 4₁₂ , 4₁₃ , ~4₃₃…リセットトランジスタ
- 5…垂直シフトレジスタ
- 6₁ , 6₂ , 6₃ , ~…水平アドレス線
- 7₁ , 7₂ , 7₃ , ~…リセット線
- 8₁ , 8₂ , 8₃ , ~…垂直信号線
- 13…水平シフトレジスタ
- 14…水平信号線
- 21…光電変換部および走査回路を搭載した半導体基板
- 22…光電変換部領域
- 23…増幅トランジスタ
- 24…素子分離領域（フィールド分離領域）であるフィールド酸化膜領域
- 24-1…第1の不純物拡散分離層
- 24-2…第2の不純物拡散分離層
- 24-3…第3の素子分離拡散層
- 25…フォトダイオード
- 25-1…光電変換層（フォトダイオード）と同一導電型の不純物拡散層
- 26…信号読み出しゲート
- 27…垂直信号線
- 28…遮光膜
- 29…集光レンズ
- 51…低濃度のp型半導体層
- 52…n型半導体層
- 53-1…n型半導体層
- 53-2…n型半導体層
- 54…シリコン酸化膜
- 55…ゲート電極
- 56…空乏層
- 57…拡散電流
- 71, 73…レジスト
- 74…P型化した領域
- 81…光電変換部（フォトダイオード）
- 82…増幅トランジスタ、
- 83…アドレストランジスタ
- 84…リセットトランジスタ
- 85…転送トランジスタ
- 86…垂直信号線
- 87…電源線
- 88…光電変換部のp型ウェル領域
- 89…信号走査回路部のp型ウェル領域。
- 100…p型半導体基板。
- 101…フォトダイオードを構成するn型拡散層領域
- 108…フォトダイオードが作り込まれているp-well (p型ウェル)

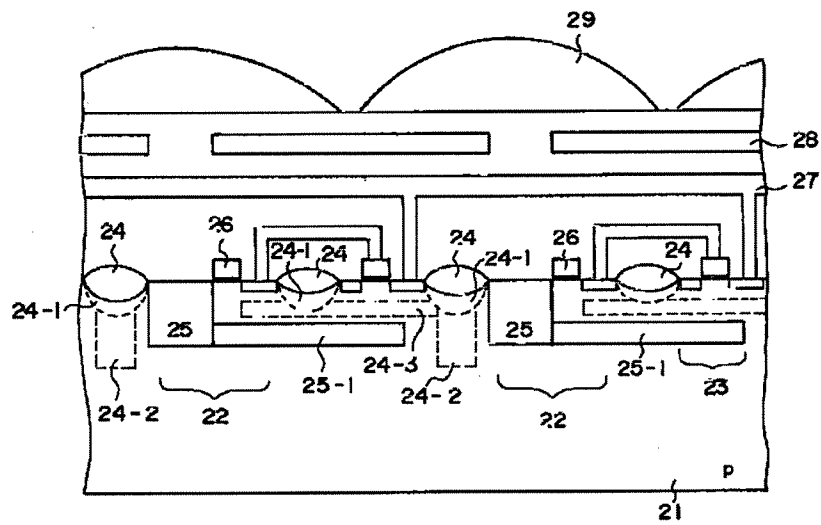
【図12】



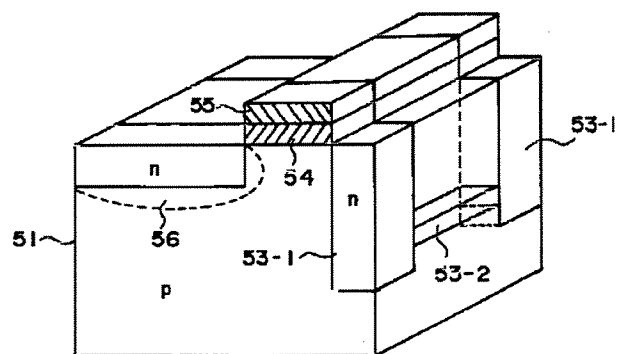
【図1】



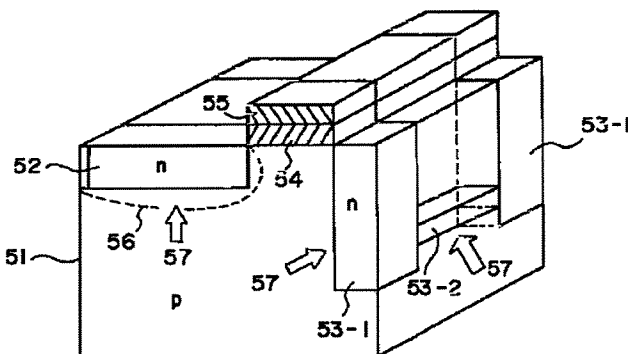
【図2】



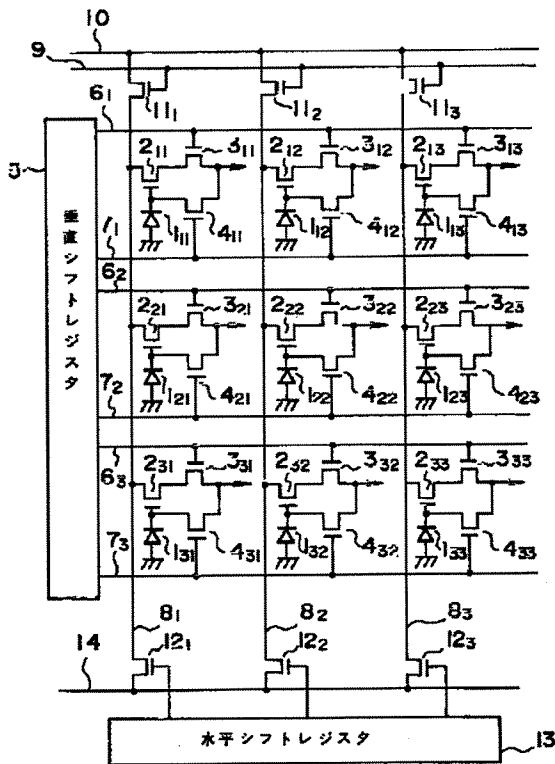
【図5】



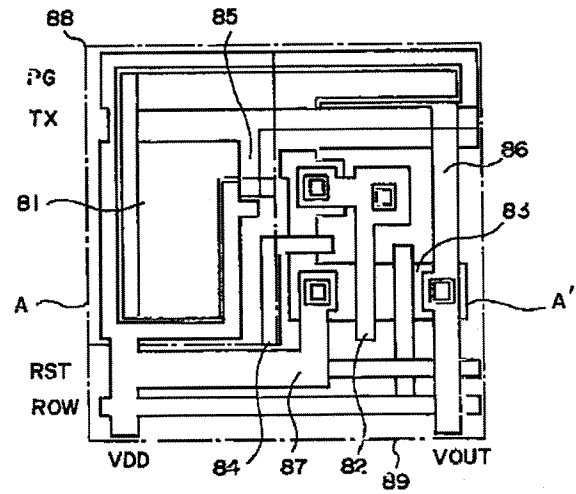
【図6】



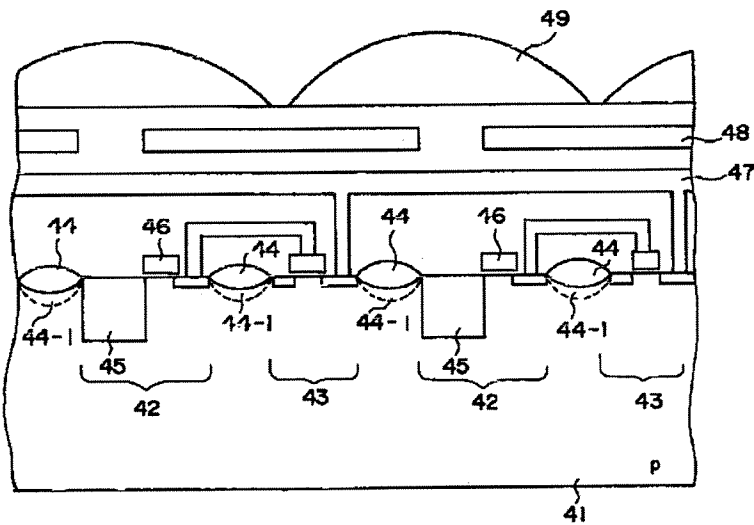
【図3】



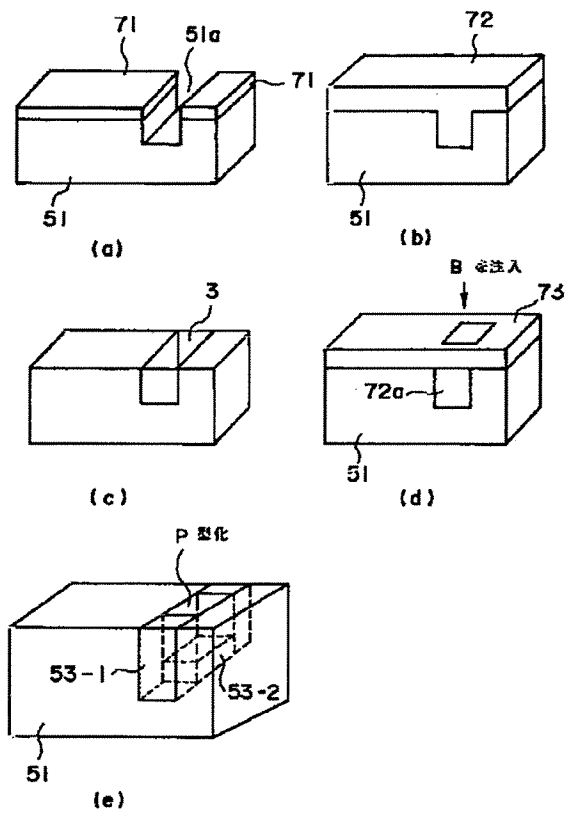
【図8】



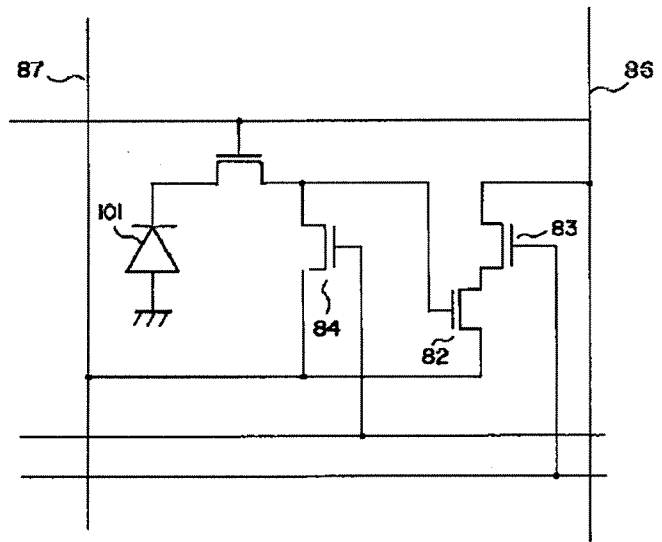
【図4】



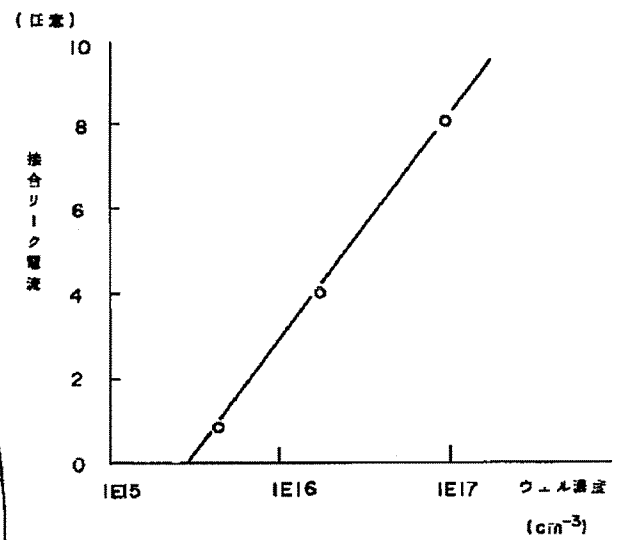
【図7】



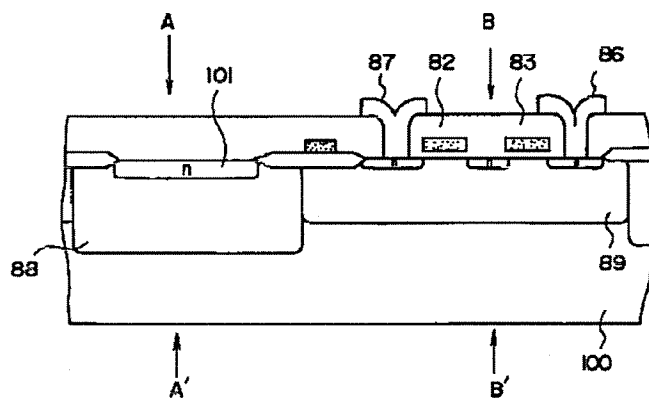
【図9】



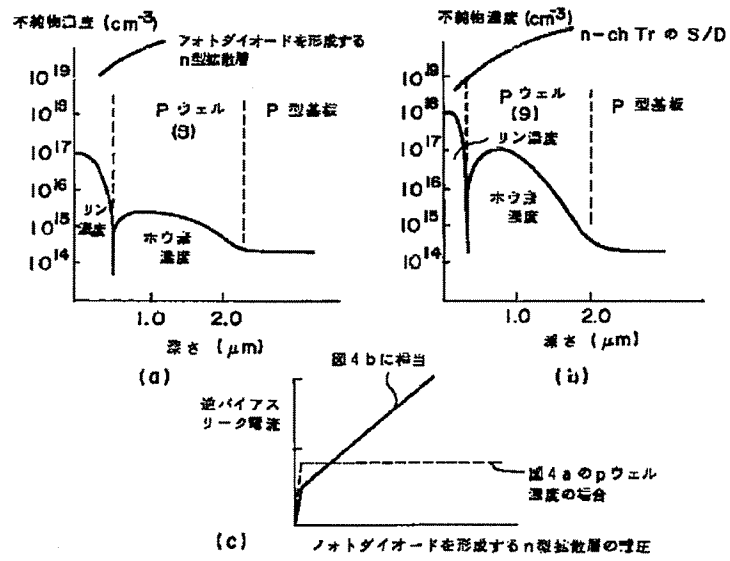
【図15】



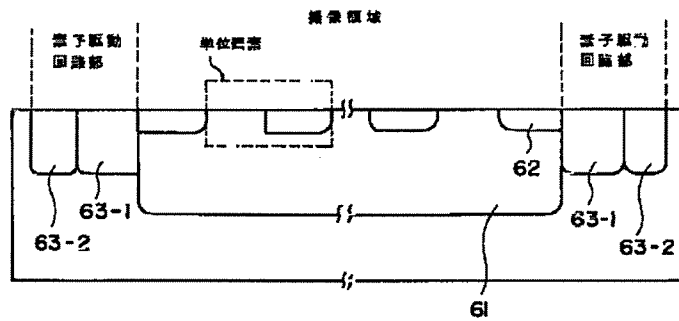
【図10】



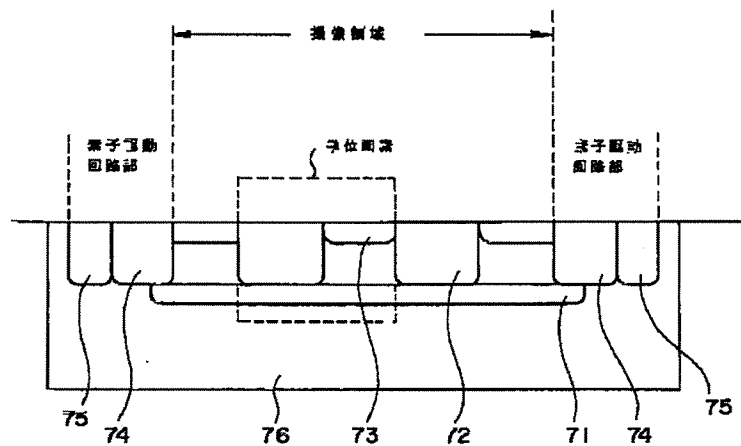
【図11】



【図13】



【図14】



フロントページの続き

(72)発明者 井原 久典

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 中村 信男

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 野崎 秀俊

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内